

EMBEDDED MULTICORE SUMMIT 2017

並列ソフトウェア開発の手戻りを 防止するマルチコアMBD環境

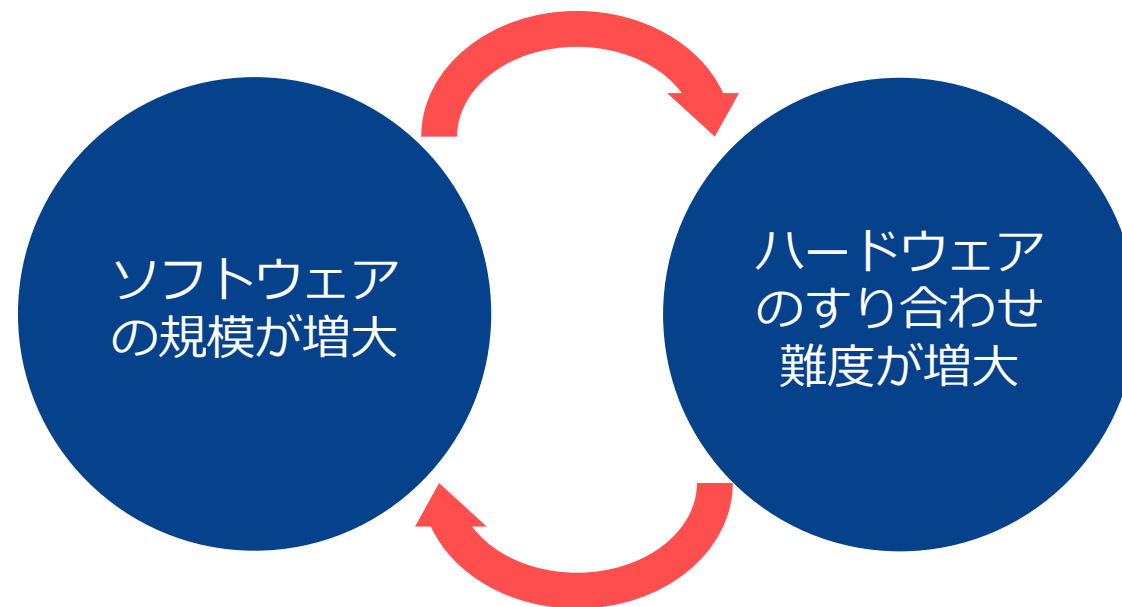
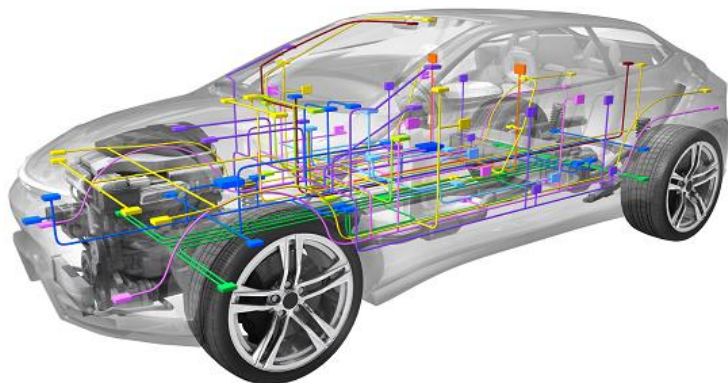
ルネサスエレクトロニクス株式会社
技術ソリューション企画部

鈴木 均

2017年11月16日

モノづくりにおける課題

- 次世代自動車は統合的な制御が必要になってきており、ハードウェアのすり合わせ難度が上がってきている
- これを制御するソフトウェアの規模は増大の一途をたどっている



従来のモノづくり手法において要件モレや工数の増大リスクが高まっている

ECUソフトウェア大規模化とマイコンへの要求の増大

大規模ソフトウェアの動作のためにマイコンへの要求性能が増大
⇒ マルチコア・マイコンが必要

スマートフォン
1200万ライン



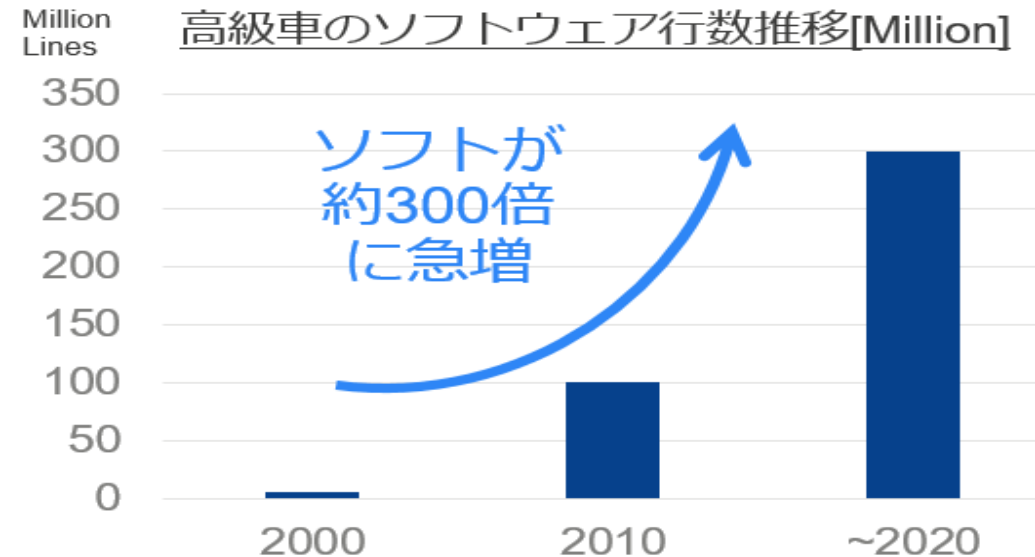
ソフト量の
比較

高級車
1億ライン



高級車の全ソフト量はスマートフォンの約8倍
自動運転時代に向け、さらなる増大が見込まれる

Source: 各調査会社のデータから当社が推定



Source : New York times/IEE

モノづくりの手法の変化

実機ベース開発からモデルベース開発へ

複雑すぎて
書ききれない。

紙の仕様書

要求側

供給側

仕様通りなのか
の確認が難しい。



部品(ECU)

実機ベース開発

紙の仕様書

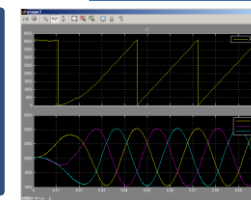
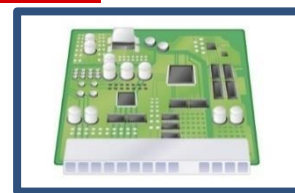


実行可能な
要求モデル



要求側

供給側



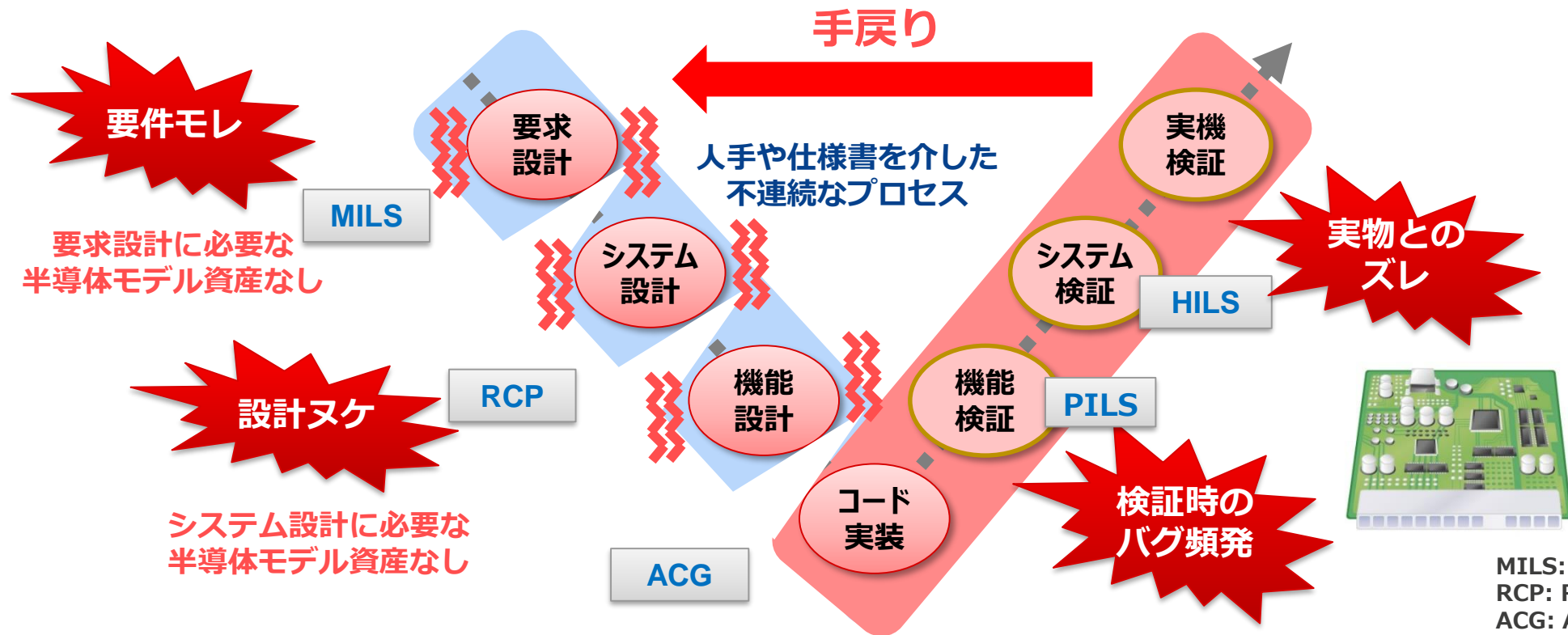
実行可能な
仮想部品モデル

Simulation
で事前に
確認可能。

モデルベース開発

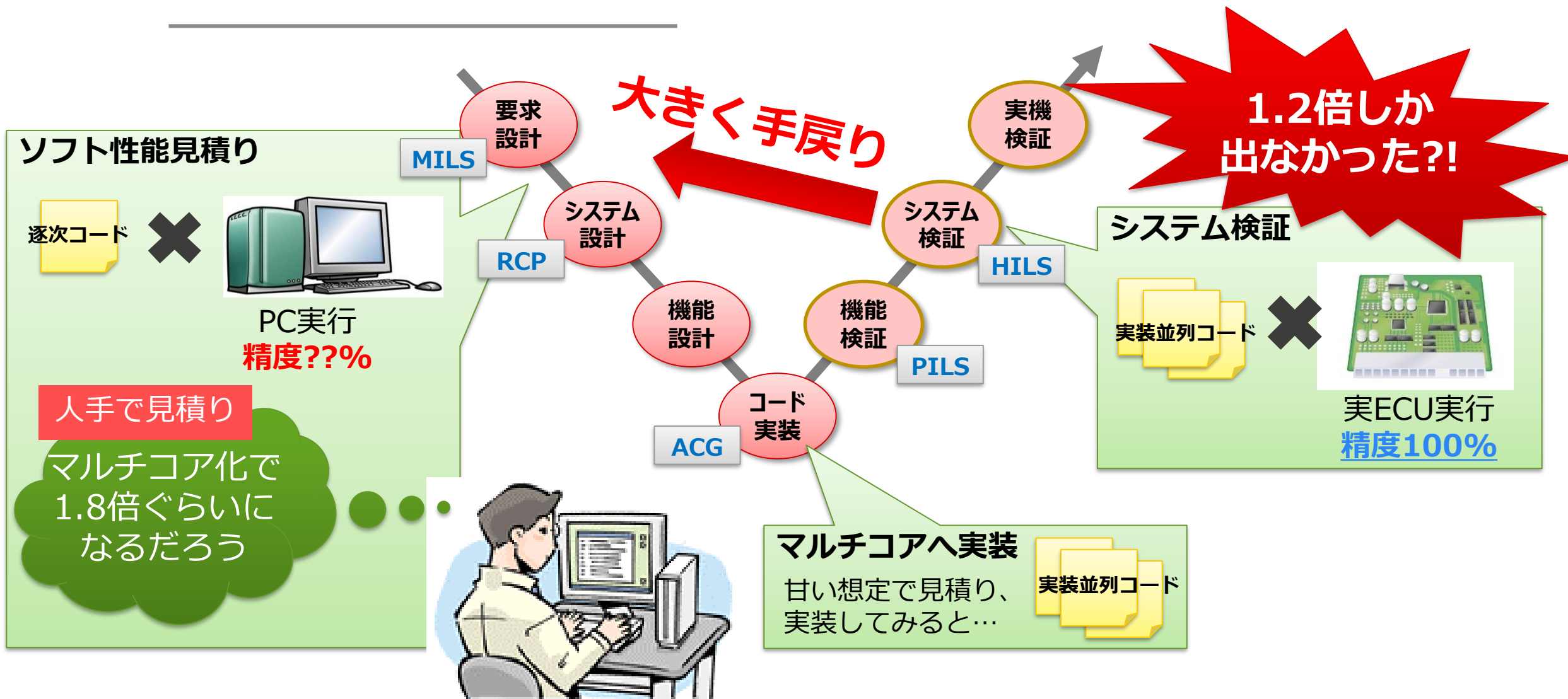
半導体モデル資産を用いないMBD Vプロセスの課題

- 現状はVプロセス右バンクに入ってから初めて使用するECUの半導体情報が入るプロセスとなっている
- 左バンクでの作り込み時には半導体モデル資産が用いられていない



MILS: Model in the Loop Simulation
RCP: Rapid Controller Prototyping
ACG: Auto Code Generation
HILS: Hardware in the Loop Simulation
PILS: Processor in the Loop Simulation

従来のマルチコア・ソフトウェア開発の課題

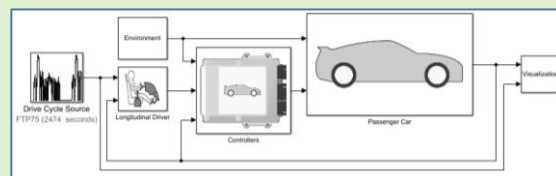


マルチコア・ソフトウェア性能を見積るには

システムの挙動

入力シナリオ

パラメータ依存



アルゴリズムの特性

タスク並列性

データ並列性

アムダールの法則

$$Speedup = \frac{1}{F + \frac{1-F}{N}}$$

F: 並列化不可能な区間の割合
N: 分割数 ≒ CPUの数

クリティカル
パス

ロード
バランス

通信
コスト

ハードウェアの特性

CPUの性能は?
コア数は?

マイコン(MCU)

CPU

CPU

CPU間の接続は?
同時アクセスで
干渉する?

内部接続

メモリ

メモリの構成は?
容量は十分か?

マルチコア・ソフトウェア性能の正しい見積り

マルチコア・ソフト開発の課題を解決するソリューション

ソリューションの要件

- システムの挙動を考慮し、その動作範囲での振舞いが明らかにできる
- 上流開発のモデルから、ユーザがソフトウェア実装を意識することなく、並列設計・検証を可能とする
- ターゲットとなるマルチコア・プロセッサ上での動作を考慮できていること

モデルベース開発環境との
連携シミュレーション

モデルベース並列化ツール
による自動並列化

ターゲット用マルチコアコード
の自動生成

実機 or 高精度シミュレータ
による詳細解析

マルチコアにおけるクロスレイヤ設計を強力にサポート
“ルネサスのマルチコア・モデルベース環境”



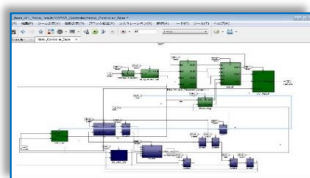
手間のかかるマルチコア・ソフト開発もツールで解決！
マルチコア・モデルベース環境

マルチコア・モデルベース環境の適用フェーズ

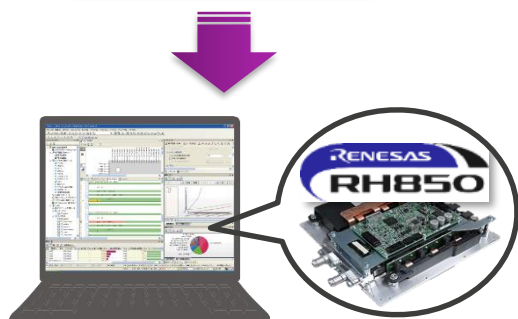
ルネサスだからできる高精度のマルチコア性能見積りにより
要求設計/システム設計フェーズの品質を改善

新提案:

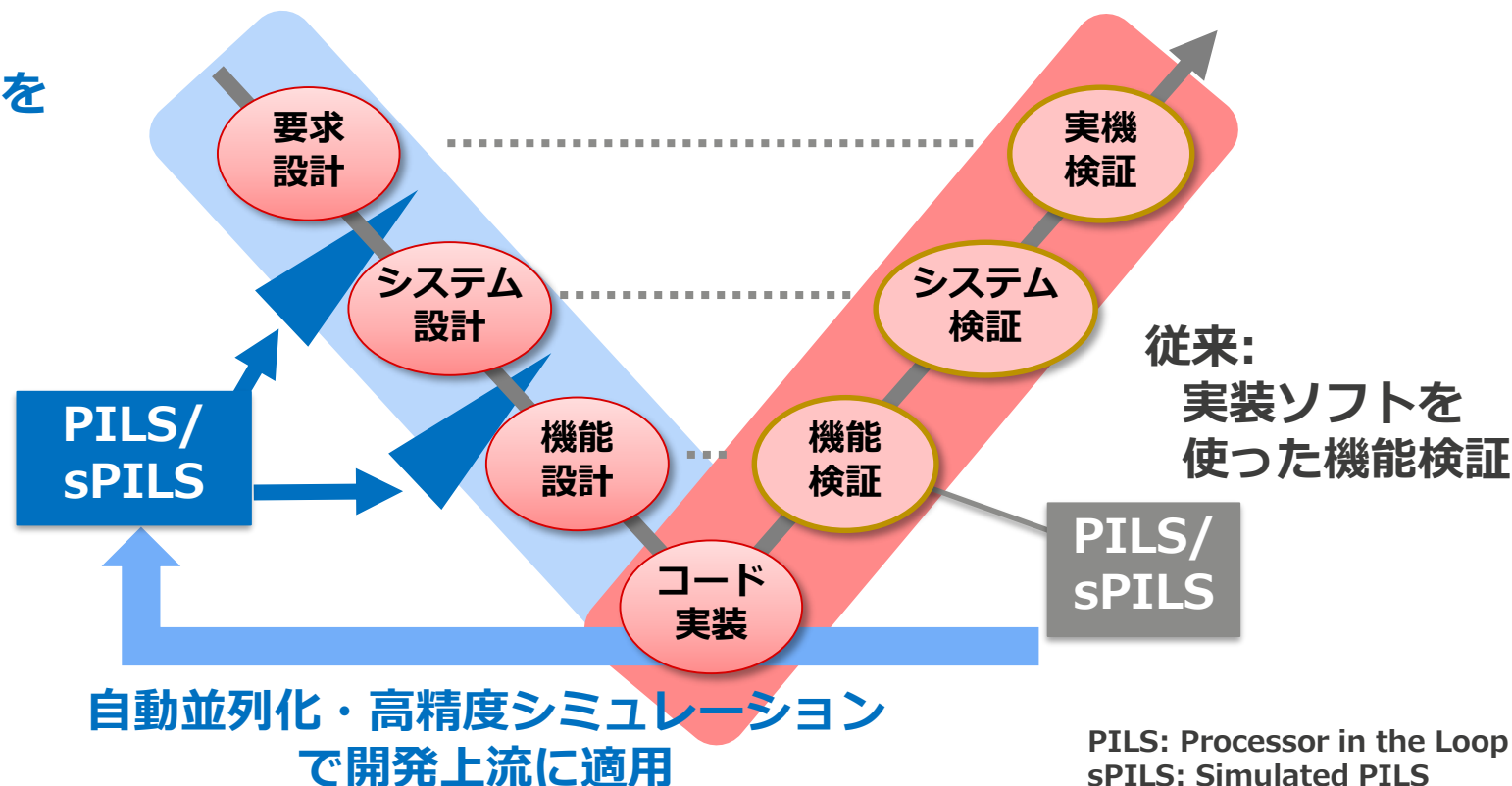
モデル、ACG、シミュレータを用いた早期性能見積り



制御モデル



ルネサス製
高精度マルチコアシミュレータ

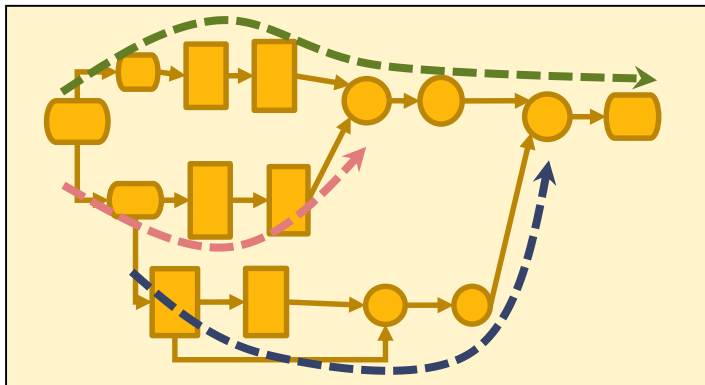


PILS: Processor in the Loop Simulation
sPILS: Simulated PILS

モデルからのマルチコア・ソフトウェア自動生成

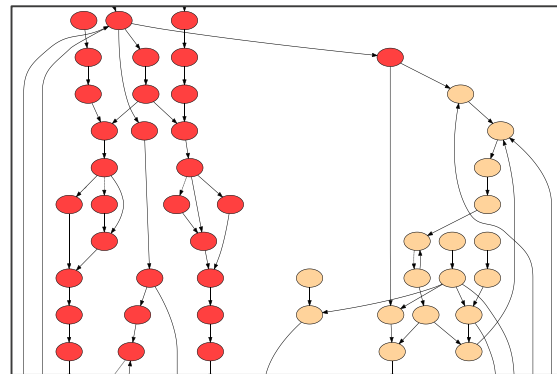
モデル上の処理依存関係とマイコン上での実行時間から自動並列化

Simulink®モデル



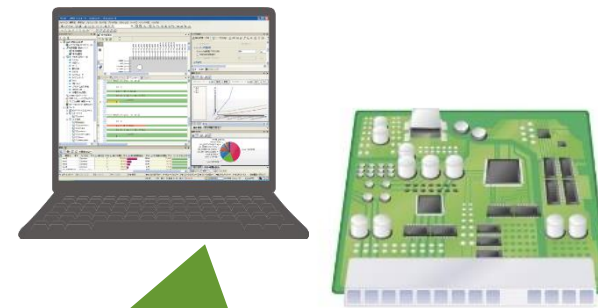
ブロック間の並列性の抽出

マルチコア割当結果



最適な並列化

半導体デバイス情報
(シミュレータ/実機)



ブロックの正確な実行時間取得

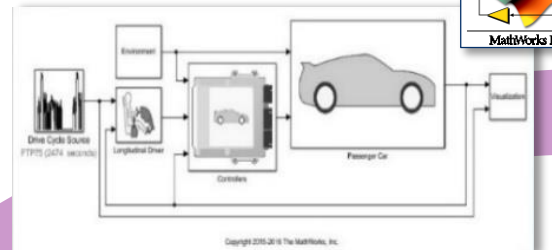
RH850 マルチコア・モデルベース開発環境

Embedded Target for RH850 Multicore と イーソル社 eMBP の連携

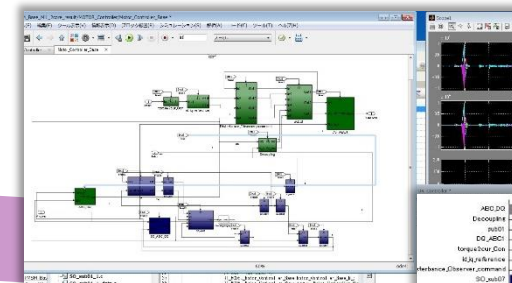
ユーザ

モデリング

MathWorks社
MATLAB/Simulink



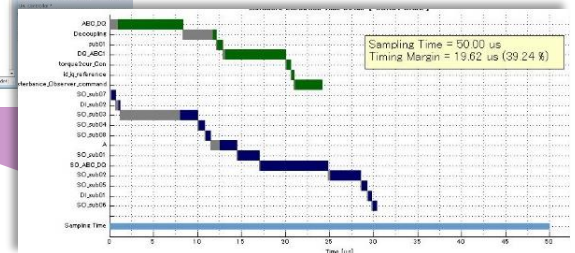
MathWorks社 Powertrain Blockset™



マルチコア対応モデル

結果確認・解析

マルチコア実行プロファイル

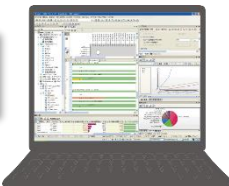


Embedded Target for RH850 Multicore

見積り用のコード実装工程を全自動化

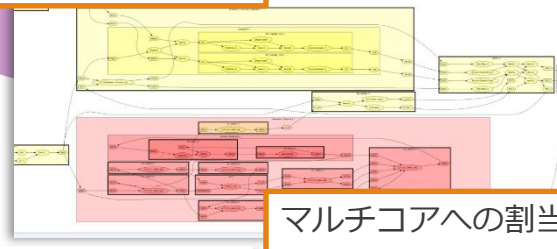
ブロック性能解析

統合開発環境



シミュレータ／実機で
ブロック毎の性能を測定

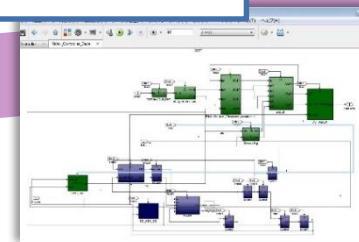
モデル構造解析



マルチコアへの割当

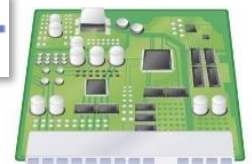


マルチコア対応
モデルへの変形



マルチコアコード生成 &
連携シミュレーション

統合開発環境






シミュレータ／実機で
マルチコア動作状況を測定

RH850マルチコアのPILSによる性能検証

- 実マルチコアマイコンでの実行プロファイルを取得

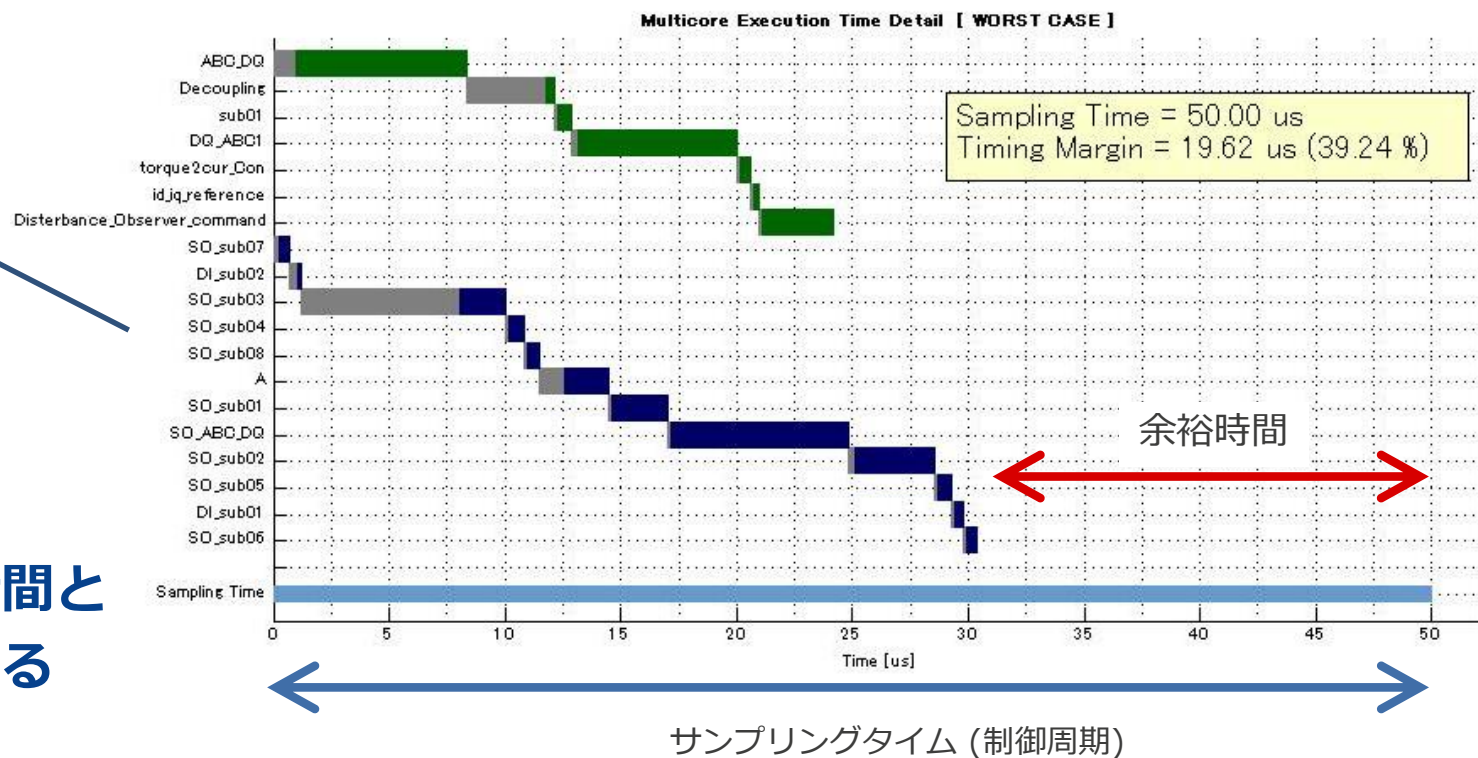
- 総実行時間
- ブロック毎の実行時間
- CPUコア間の待ち合わせ時間

CPU0割当ブロック: 
CPU1割当ブロック: 
待合わせ時間: 

ターゲットでの並列実行状況を
サブシステム単位にグラフ化

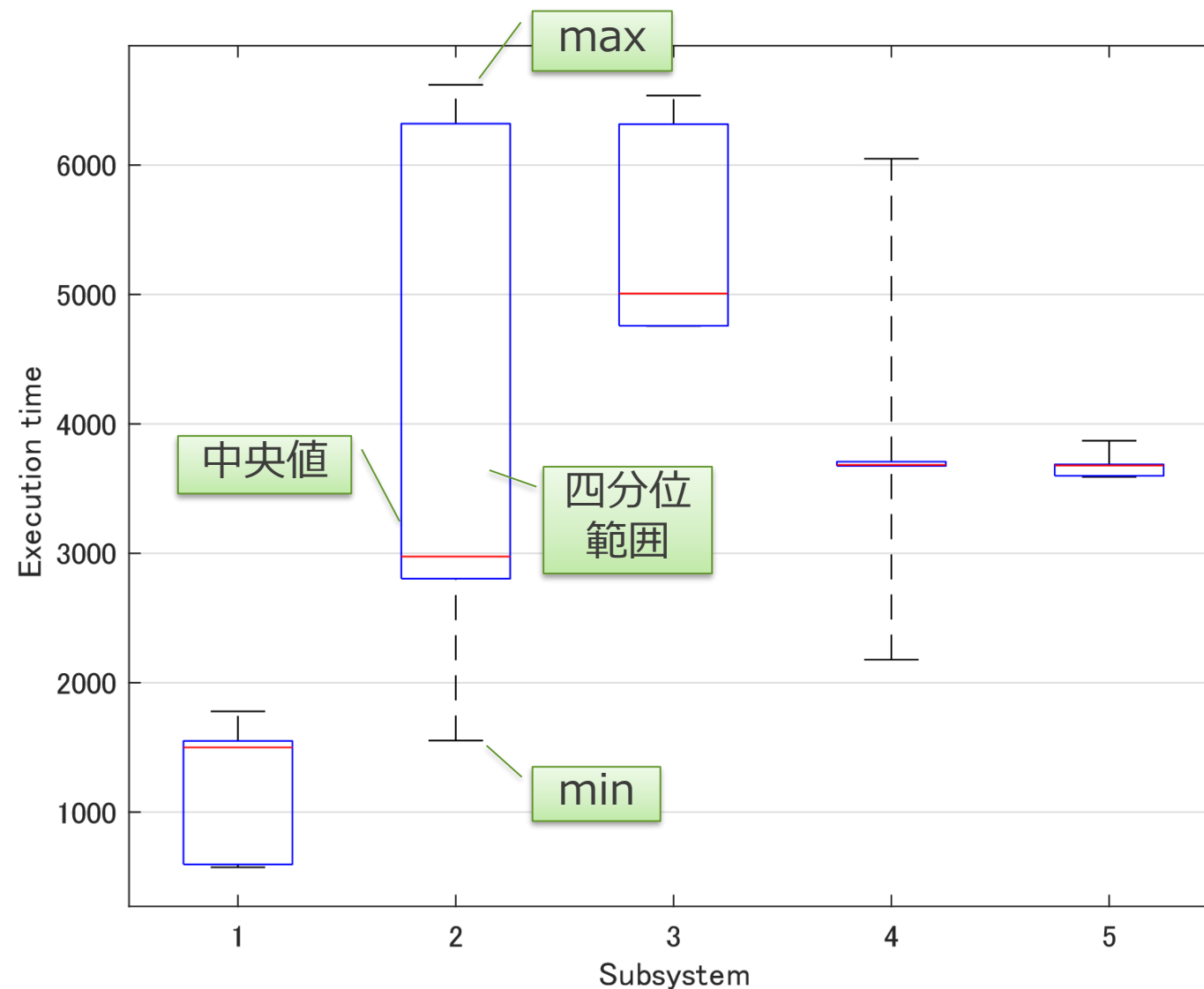


シミュレーション期間中の最悪実行時間と
なる制御周期の処理余裕度が確認できる



シナリオに基づいた統計的なデータ可視化の例(1)

- 本ツールで取得したステップ毎の性能計測データをMATLABで処理した例
 - シミュレーション中のステップ毎の各サブシステムの実行時間を統計処理
 - ✓ 箱ヒゲ図で表示
 - ✓ min/max/中央値を表示
 - 例えば、サブシステム4は箱が狭く、殆どの場合には3700 cycle付近だが、稀に良い場合、悪い場合が存在することがわかる



シナリオに基づいた統計的なデータ可視化(2)

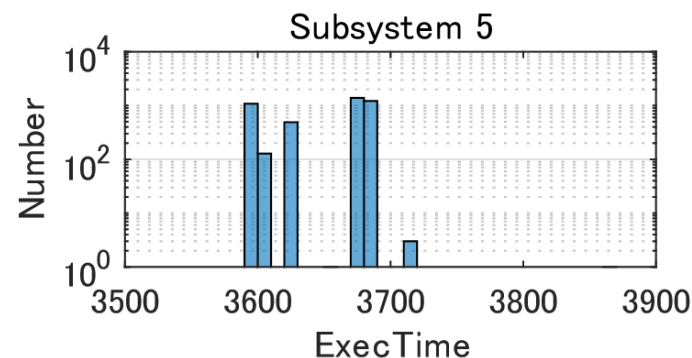
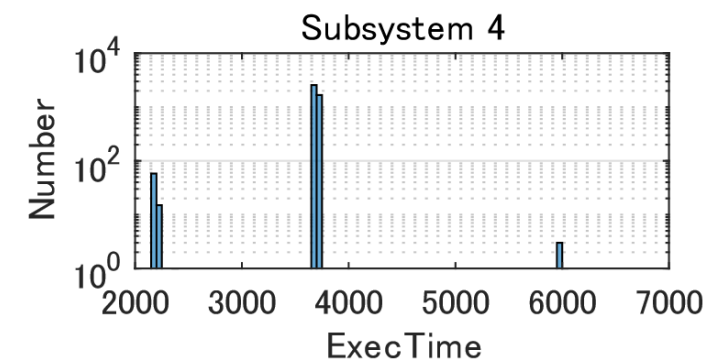
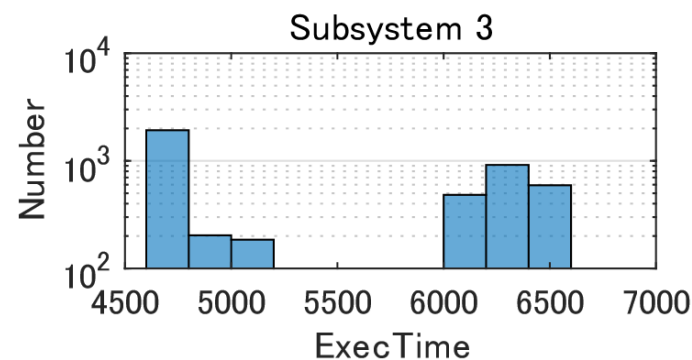
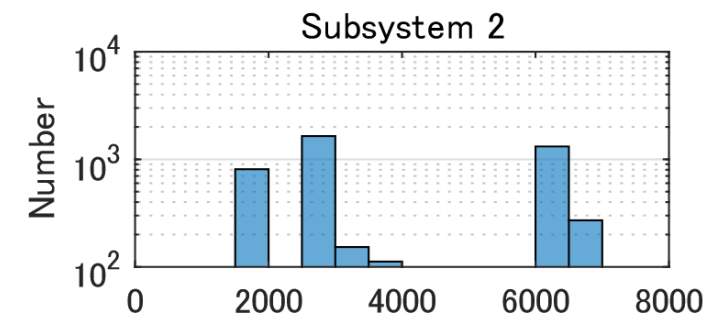
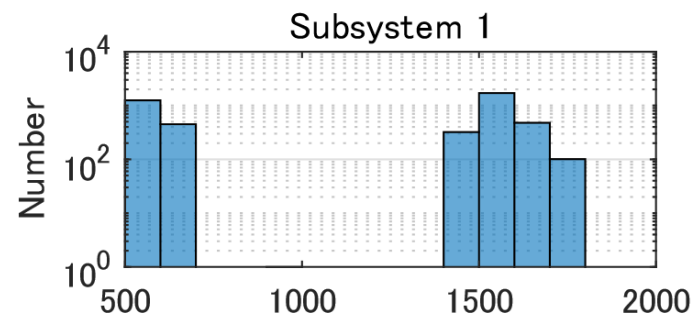
Y軸は
対数表示

■ 前ページのサブシステムの実行時間分布をヒストグラム化

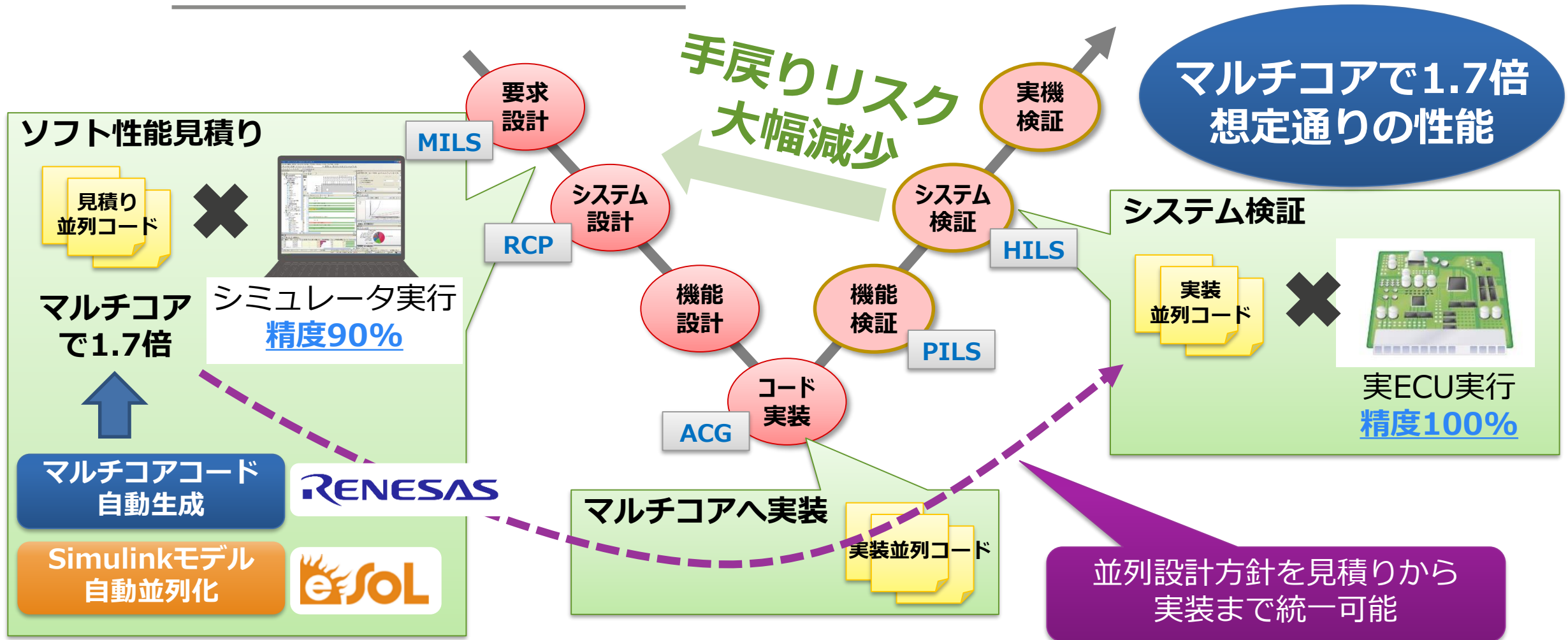
- 例えばサブシステム4は
 - ✓ 3700付近に最大の山 (2桁大きい)
 - ✓ 2200付近、6000付近に小さい山
- このことから、本ブロックのメジャーな動作モードが3種あることがわかる



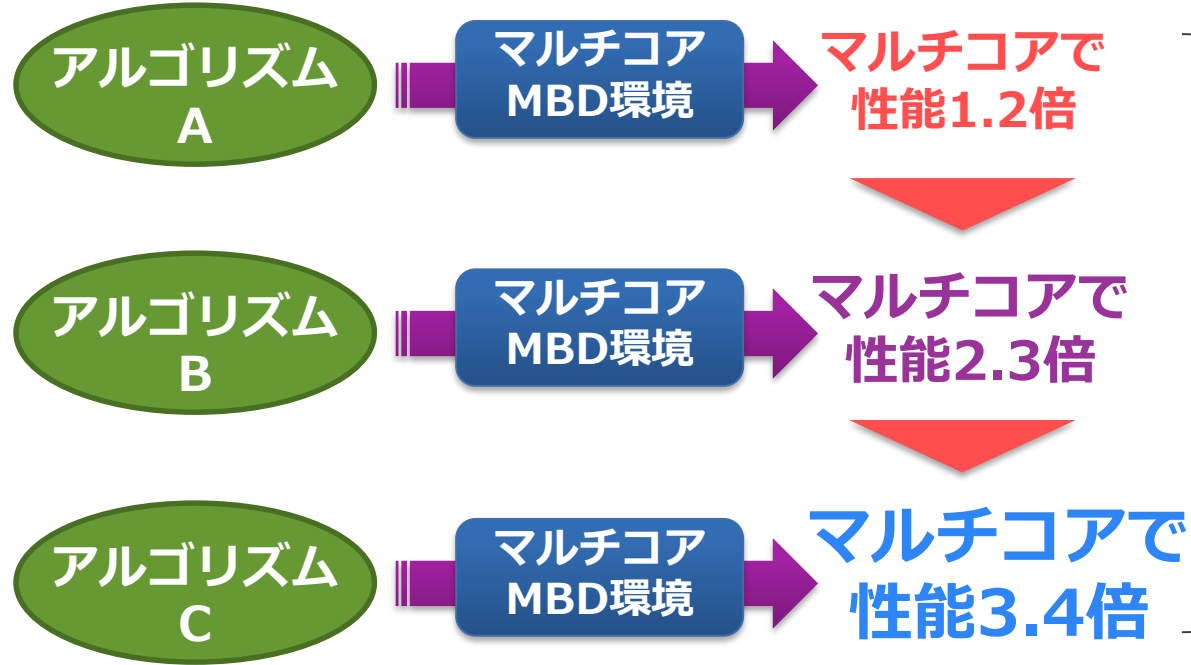
本ツールで取得したデータは、
ブロックごとの演算特性の分析
に有効活用できます



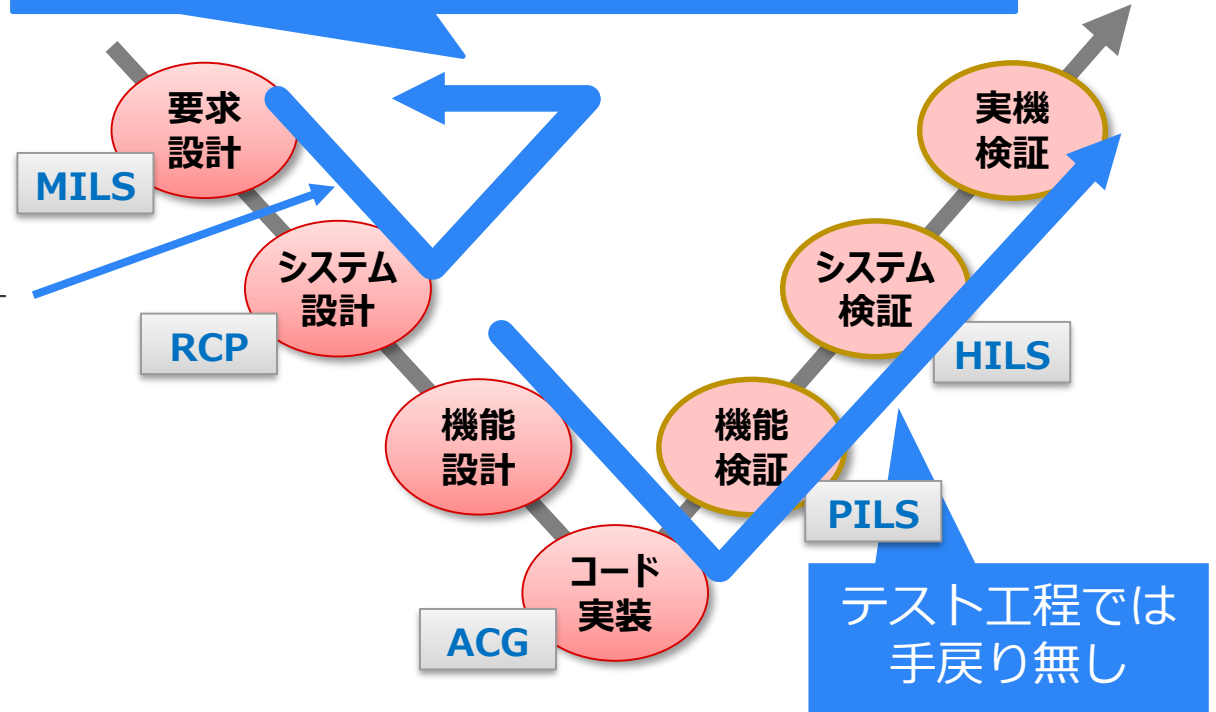
マルチコア・モデルベース環境の効果



マルチコア・モデルベース環境の活用例



モデルのマルチコア化、高精度シミュレータによる性能解析を上流工程で反復



マルチコア性能の作り込みをVプロセス上流に移動
新たな開発プロセスのご提案

マルチコア・モデルベース環境 ロードマップ

販売中

Embedded Target for
RH850 Multicore
V4.02

2018年
リリース計画中

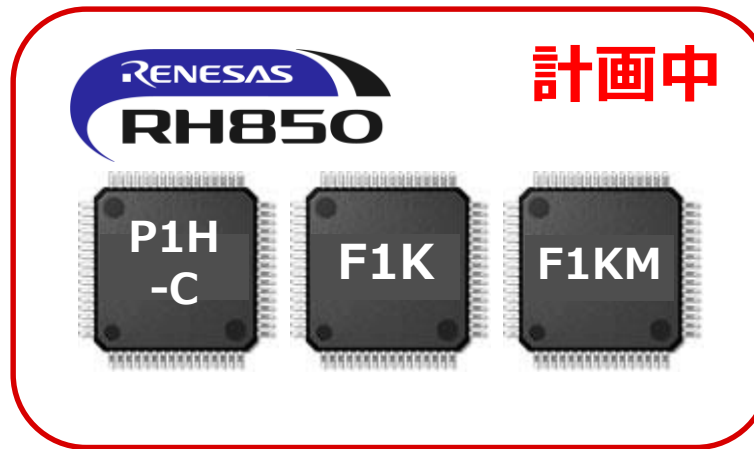
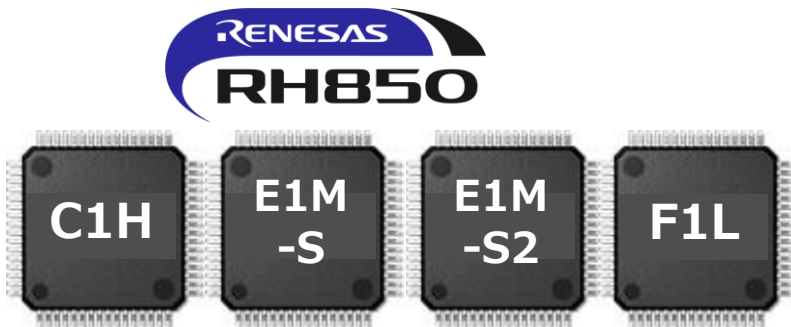
Embedded Target for
RH850 Multicore
V5.00

継続的な機能強化

- ✓ 自動並列化／マルチコアコード生成
- ✓ ブロック毎の性能解析
- ✓ ユーザによるコア割当て指定
- ✓ シングルレート・モデル対応
- ✓ シングルコア／マルチコア対応

✓ マルチレート・モデル対応

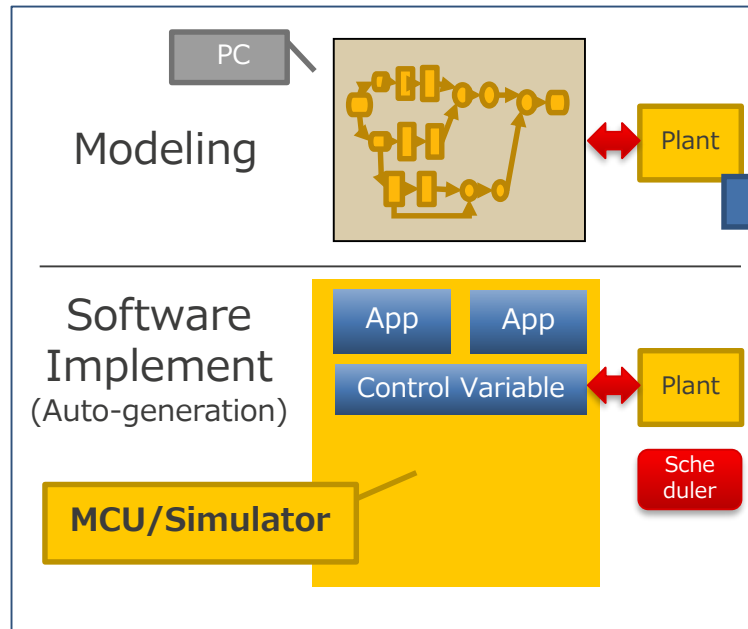
- ✓ RX,R-Carシリーズへの展開(検討中)
- ✓ 研究中技術の製品化(次頁)



研究・開発中の技術 紹介

OS,BSWなどのソフトウェア・プラットフォーム(SPF)を含む性能見積り
⇒ ソフトウェア実装を行うユーザの皆様へソリューションを拡大

現在のソリューション

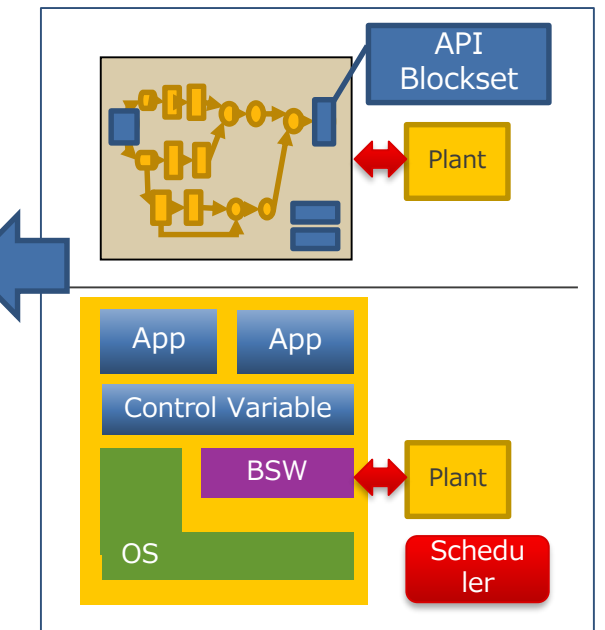


ソフトウェアの実行時間
積み上げイメージ

評価
範囲



研究・開発中技術



評価
範囲

まとめ



マルチコア・モデルベース環境が提供する価値

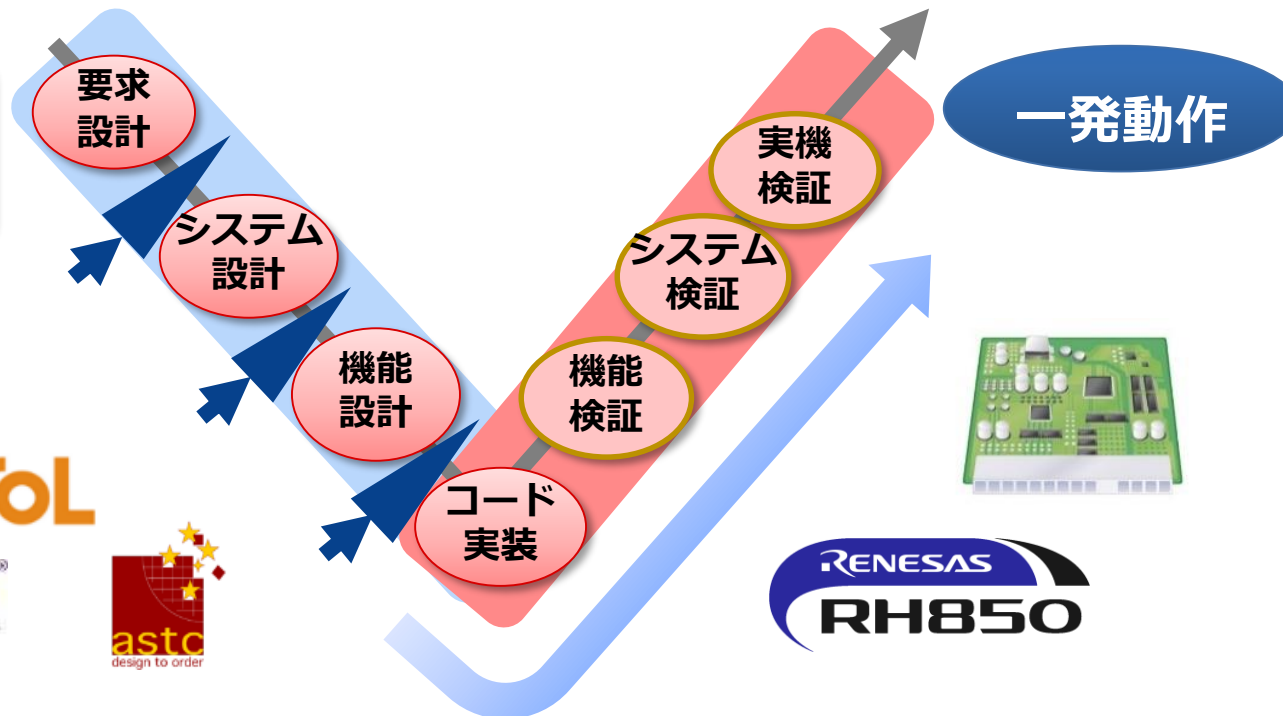
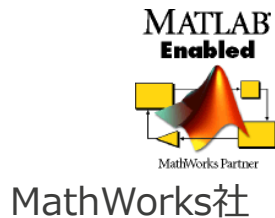
モデルベース開発上流でのマルチコア性能見積り環境を提供し、お客様のマルチコア・ソフトウェア開発の手戻りを防止します

- ✓ モデルからの自動並列化、マルチコアコード自動生成、PILS環境自動生成により、並列設計のイタレーション工数を大幅に削減
- ✓ PILS環境により、お客様の制御システムのシナリオに沿った性能検証を実現。システムの可動範囲でのソフトウェアの挙動を可視化
- ✓ 半導体メーカーだからできる高精度なマルチコア見積り環境で、マルチコア性能の作り込みをV字プロセス上流にシフト

半導体資産を活用したルネサスのMBD開発ソリューション

World Wideで実績あるツールベンダと連携し、
豊富な半導体モデルによる新しいVプロセスをご提案します

半導体モデル資産の
適用によりVプロセス
を支えます



■ 技術的なお問合せおよび資料のご請求
mailto : mbd-solution@lm.renesas.com



BIG IDEAS FOR EVERY SPACE

Renesas.com